

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-060656

(43)Date of publication of application : 04.03.1994

(51)Int.Cl.

G11C 11/409

(21)Application number : 04-206546

(71)Applicant : SHARP CORP

(22)Date of filing : 03.08.1992

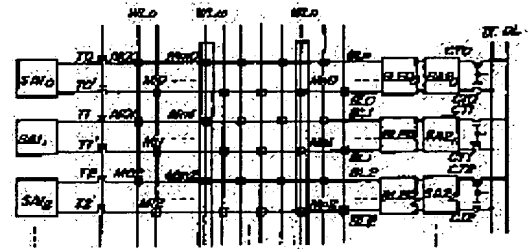
(72)Inventor : TANAKA TSUGUHIKO

(54) SEMICONDUCTOR STORAGE

(57)Abstract:

PURPOSE: To obtain a semiconductor storage which allows that data of two rows can be replaced at a high speed on a chip.

CONSTITUTION: Each bit line pair BL, /BL is provided with two sense amplifiers SA1, SA2 and NMOS transistors T, T' are inserted between the sense amplifier SA1 and bit line pair. A data of one word line WLn is read and is then amplified and latched by the sense amplifier SA1. Thereafter, NMOS transistors T, T' are turned off. Here, a data of another word line WLn is read and is amplified by the other sense amplifier SA2 and is then written into storage cell of the word line WLn. Thereafter, NMOS transistors T, T' are turned on to write the data latched by the sense amplifier SA1 to the storage cell of the latter word line WLn.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-60656

(43)公開日 平成6年(1994)3月4日

(51)Int.Cl.⁵

G11C 11/409

識別記号

庁内整理番号

FI

技術表示箇所

6741-5L

G11C 11/34

353 E

審査請求 未請求 請求項の数1(全 3 頁)

(21)出願番号

特願平4-206546

(22)出願日

平成4年(1992)8月3日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 田中 嗣彦

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

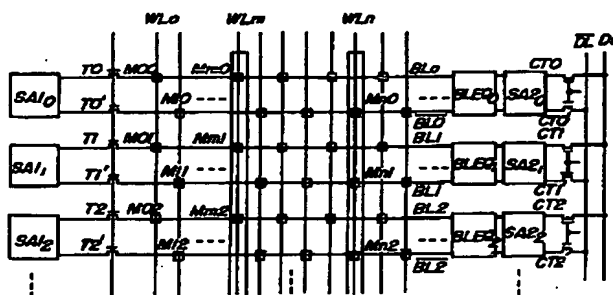
(74)代理人 弁理士 梅田 勝

(54)【発明の名称】 半導体メモリ

(57)【要約】

【目的】 チップ上で2つの行のデータの入れ替えを高速で行える半導体メモリを得ること。

【構成】 各ビット線対BL, バーBLごとに2つのセンスアンプSA1, SA2を備え、片方のセンスアンプSA1とビット線対との間にNMOSトランジスタT, T'を挿入する。1つのワード線WL_mのデータを読み出し、上記片方のセンスアンプSA1で増幅・ラッチした後、NMOSトランジスタT, T'をオフする。その後、もう一つのワード線WL_nのデータを読み出し、もう一方のセンスアンプSA2で増幅し、前者のワード線WL_mのメモリセルに書き込む。その後、NMOSトランジスタT, T'をオンして、前者のセンスアンプSA1にラッチされたデータを後者のワード線WL_nのメモリセルに書き込む。



1

【特許請求の範囲】

【請求項1】 ビット線対毎に2つのセンスアンプを備え、且つ、一方のセンスアンプとビット線対間に導通・遮断を制御するスイッチング手段を備えて成ることを特徴とする半導体メモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、DRAM等の半導体メモリに関するものであり、特に、メモリチップ上で、2つの行のデータを高速で入れ替えることができる半導体メモリを提供するものである。

【0002】

【従来の技術】従来、1つのメモリ上でデータを入れ替えた場合、CPUを介して1語毎にアドレスを与えて、データを転送する動作を繰り返すことにより実現していた。図2は従来のシステム概念図であり、1はメモリ、2はCPUを示す。

【0003】

【発明が解決しようとする課題】上述した従来のメモリ装置では、2つの行のデータを入れ替える場合、図2に示すように、CPU2からメモリ1に1語毎にアドレスを与えて両方の行のデータを読み出し、一方のデータをCPU2からメモリ1に1語毎にアドレスを与えてもう一方の行に書き込み、もう一方のデータを前の行に書き込むという操作を行っていたので、データ数に比例して転送時間が増大するという問題点があった。

【0004】本発明は、従来の上記問題点を鑑みてなされたものであり、2つの行のデータの入れ替えを高速で行うことができる半導体メモリを提供するものである。

【0005】

【課題を解決するための手段・作用】通常のワード線及びビット線を有するメモリにおいて、各ビット線対毎に2つのセンスアンプを備え、且つ、片方のセンスアンプとビット線対との間に導通・遮断を制御するスイッチング手段、例えば、NMOSトランジスタを挿入する。1つのワード線のデータを読み出し、上記片方のセンスアンプで増幅・ラッチした後、スイッチング手段をオフ状態とする。その後、もう一つのワード線のデータを読み出し、もう一方のセンスアンプで増幅し、前者のワード線のメモリセルに書き込む。その後、上記スイッチング手段をオン状態にして、前者のセンスアンプにラッチされたデータを後者のワード線のメモリセルに書き込む。以上により、2つのワード線のデータの入れ替えが完了する。

【0006】

【実施例】以下、実施例に基づいて本発明を詳細に説明する。

【0007】図1は、本発明の一実施例の半導体メモリの構成図である。

【0008】図に於いて、 $WL_0, \dots, WL_m, \dots W$

2

L_n, \dots はワード線、 $BL_0, \text{バー}BL_0, \dots$ はビット線対、 $M_{00}, \dots, M_{02}, \dots M_{n0}, \dots, M_{n2}, \dots$ はメモリセル、 $BLEQ_0, \dots$ はビット線イコライズ回路である。図に示すように、各ビット線対($BL_0, \text{バー}BL_0$)、($BL_1, \text{バー}BL_1$)、 \dots 毎に、それぞれ、2つのセンスアンプ(SA_{10}, SA_{20})、(SA_{11}, SA_{21})、 \dots が設けられている。また、各ビット線対($BL_0, \text{バー}BL_0$)、($BL_1, \text{バー}BL_1$) \dots と、センスアンプ SA_{10}, SA_{11}, \dots との間には、それぞれNMOSトランジスタ(T_0, T_0')、(T_1, T_1')、 \dots が挿入されている。なお、センスアンプ SA_{20}, SA_{21}, \dots は、コラムデコーダ出力によってオン・オフ制御されるNMOSトランジスタ(CT_0, CT_0')、(CT_1, CT_1')を介してデータ線 $DL, \text{バー}DL$ と接続されている。

【0009】以下、図1によって、本発明による行データの入れ替え方式を説明する。図に示す通り、ワード線 WL とビット線 BL 又は $\text{バー}BL$ との交点にメモリセル M が存在する通常のメモリにおいて、ビット線対 BL_p 及び $\text{バー}BL_p$ (以下、 $p=0, 1, \dots$ はメモリ列番号を意味する)の電位を、イコライズ回路 $BLEQ_p$ によりイコライズした後、 m 番目のワード線 WL_m をHレベルに立ち上げ、ビット線対 $BL_p, \text{バー}BL_p$ とセンスアンプ SA_{1p} の間に置かれたNMOSトランジスタ T_p 及び T_p' のゲートをHレベルにして、ワード線 WL_m につながったメモリセル M_{mp} のデータをビット線対 BL_p 及び $\text{バー}BL_p$ に読み出し、センスアンプ SA_{1p} によって増幅した後、NMOSトランジスタ T_p 及び T_p' のゲートをLレベルにして、データをセンスアンプ SA_{1p} にラッチする。再度、ビット線対 BL_p 及び $\text{バー}BL_p$ を、イコライズ回路 $BLEQ_p$ によりイコライズした後、 n 番目のワード線 WL_n をHレベルに立ち上げ、ワード線 WL_n につながったメモリセル M_{np} のデータをビット線対 BL_p 及び $\text{バー}BL_p$ に読み出し、センスアンプ SA_{2p} によって増幅した後、ワード線 WL_n をLレベルに立ち下げ、さらに、ワード線 WL_m をHレベルに立ち上げ、ワード線 WL_m につながったメモリセル M_{mp} にデータを書き込み、ワード線 WL_m をLレベルに立ち下げる。これにより、ワード線 WL_n 上のメモリセルのデータが、ワード線 WL_m 上のメモリセルに転送されたことになる。次に、再度、ビット線対 BL_p 及び $\text{バー}BL_p$ をイコライズ回路 $BLEQ_p$ によりイコライズした後、先にセンスアンプ SA_{1p} にラッチされていたデータを、NMOSトランジスタ T_p 及び T_p' のゲートをHレベルにし、ワード線 WL_n をHレベルに立ち上げることによって、ワード線 WL_n 上のメモリセル M_{np} に書き込む。最後に、ワード線 WL_n 及びNMOSトランジスタ T_p 及び T_p' のゲートをLレベルに立ち下げる。以上で、ワード線 WL_m 上のメモリセルのデータと、ワード線 WL_n 上のメモリセルのデータとが入れ替えられたこ

となる。

【0010】

【発明の効果】以上詳細に説明したように、本発明によれば、2つの行のデータを外部のCPUからアドレスを与えて読み出し、書き込むという操作を繰り返すことなく、メモリチップ内で、1行のデータを一括して処理できるため、1行のデータ数に無関係に転送時間を短縮できる。

【図面の簡単な説明】

【図1】本発明に係る半導体メモリの構成図である。

【図2】従来のシステムの概念図である。

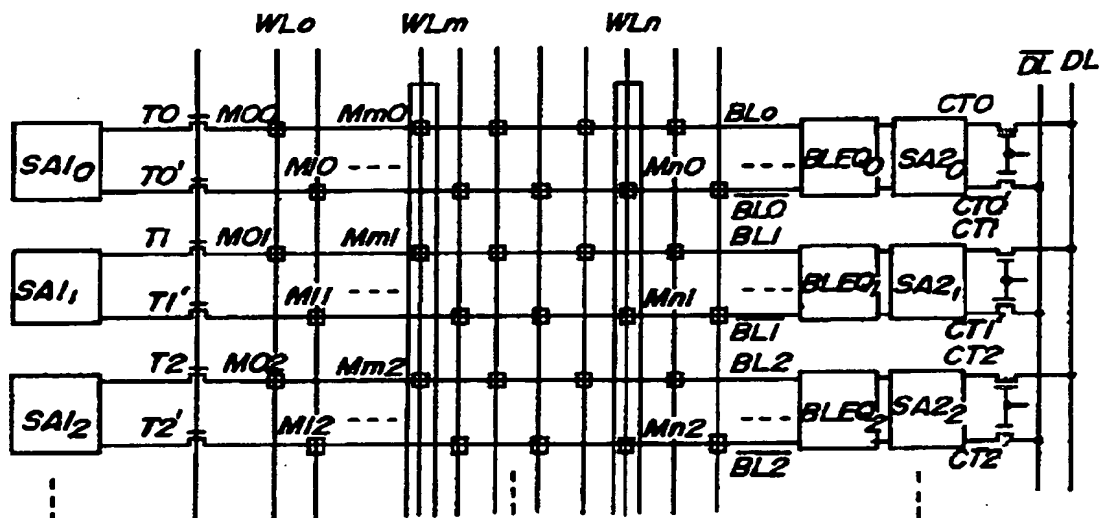
【符号の説明】

BL, バーBL ビット線対

SA1, SA2 センスアンプ

T, T' NMOSトランジスタ

【図1】



【図2】

